# 日本国特許庁 JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2003年 4月15日

出 願 番 号 Application Number:

特願2003-110236

[ST. 10/C]:

[ J P 2 0 0 3 - 1 1 0 2 3 6 ]

出 願 人
Applicant(s):

シャープ株式会社

2003年12月16日

特許庁長官 Commissioner, Japan Patent Office





【書類名】

特許願

【整理番号】

03J00332

【提出日】

平成15年 4月15日

【あて先】

特許庁長官 殿

【国際特許分類】

H01L 27/146

H04N 5/335

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株

式会社内

【氏名】

小山 英嗣

【特許出願人】

【識別番号】

000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】

100078282

【弁理士】

【氏名又は名称】

山本 秀策

【選任した代理人】

【識別番号】

100062409

【弁理士】

【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】

100107489

【弁理士】

【氏名又は名称】 大塩 竹志

【手数料の表示】

【予納台帳番号】

001878

【納付金額】

21,000円

【提出物件の目録】

【物件名】

明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【包括委任状番号】 0208587

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 固体撮像装置およびその駆動方法

【特許請求の範囲】

【請求項1】 第1導電型半導体基板上の第2導電型ウェル領域内に第1導電型ウェル領域が設けられ、該第1導電型ウェル領域内に受光部と光信号検出部とが設けられた単位画素部が複数配列された固体撮像装置において、

該第2導電型ウェル領域と、該第1導電型ウェル領域の表面側に形成された第 2導電型不純物拡散領域との間に該第1導電型ウェル領域が設けられている固体 撮像装置。

【請求項2】 前記受光部は受光ダイオードで構成され、前記光信号検出部はトランジスタで構成された請求項1に記載の固体撮像装置。

【請求項3】 前記受光ダイオードは、前記第1導電型ウェル領域の一部と 第2導電型不純物拡散領域とを有し、

前記トランジスタは、該第1導電型ウェル領域の表面側に前記第2導電型不純物拡散領域と一体的に形成された第2導電型ドレイン拡散領域と、該第1導電型ウェル領域の表面側に該第2導電型ドレイン拡散領域と所定の間隔を開けて設けられた第2導電型ソース拡散領域と、該第2導電型ドレイン拡散領域と第2導電型ソース拡散領域間の第1導電型ウェル領域上にゲート絶縁膜を介して設けられたゲート電極と、該ゲート電極下の第1導電型ウェル領域の表面側に設けられたチャネル領域と、該第1導電型ウェル領域内で該チャネル領域下の該第2導電型ソース拡散領域近傍位置に設けられ、該第1導電型ウェル領域よりも高い不純物濃度の第1導電型高濃度埋め込み層とを有した請求項2に記載の固体撮像装置。

【請求項4】 前記第2導電型ウェル領域に所定の電位を与えるための端子 部が設けられた請求項1または3に記載の固体撮像装置。

【請求項5】 前記端子部は行方向に配置された複数の単位画素部に共通に設けられた請求項4に記載の固体撮像装置。

【請求項6】 前記第2導電型不純物拡散領域と第2導電型ウェル領域間の前記第1導電型ウェル領域の表面側にチャネル領域が設けられた請求項1または3に記載の固体撮像装置。

【請求項7】 前記第2導電型不純物拡散領域と第2導電型ウェル領域間の前記第1導電型ウェル領域の表面上にゲート絶縁膜を介してゲート端子が設けられた請求項6に記載の固体撮像装置。.

【請求項8】 前記ゲート端子への電圧制御により、前記第2導電型ウェル領域と第2導電型不純物拡散領域とが電気的に接続または遮断されるように制御可能とした請求項7に記載の固体撮像装置。

【請求項9】 前記第2導電型ウェル領域と第1導電型高濃度埋め込み層の不純物濃度を通常不純物濃度に比べて低く設定した請求項3または7に記載の固体撮像装置。

【請求項10】 請求項3に記載の固体撮像装置を駆動する固体撮像装置の 駆動方法であって、

前記第1導電型高濃度埋め込み層に蓄積された信号電荷を前記第1導電型半導体基板側に排出する掃き出し期間において、前記第2導電型ウェル領域に、前記第2導電型不純物拡散領域に印加する電位よりも低い電位を印加する固体撮像装置の駆動方法。

【請求項11】 請求項9に記載の固体撮像装置を駆動する固体撮像装置の 駆動方法であって、

前記第1導電型高濃度埋め込み層に蓄積された信号電荷を読み出す読み出し期間において、前記第2導電型ウェル領域に、前記第2導電型不純物拡散領域に印加する電位よりも高い電位を印加する固体撮像装置の駆動方法。

【請求項12】 請求項7または8に記載の固体撮像装置を駆動する固体撮像装置の駆動方法であって、

前記第1導電型高濃度埋め込み層に蓄積された信号電荷を前記第1導電型半導体基板側に排出する掃き出し期間において、前記ゲート端子に印加する電圧を制御して前記第2導電型ウェル領域と第2導電型不純物拡散領域とを電気的に遮断すると共に、前記第2導電型ウェル領域に、前記第2導電型不純物拡散領域に印加する電位よりも低い電位を印加する固体撮像装置の駆動方法。

【請求項13】 請求項9に記載の固体撮像装置を駆動する固体撮像装置の 駆動方法であって、 前記第1導電型高濃度埋め込み層に蓄積された信号電荷を読み出す読み出し期間において、前記ゲート端子に印加する電圧を制御して前記第2導電型ウェル領域と第2導電型不純物拡散領域とを電気的に遮断すると共に、前記第2導電型ウェル領域に、前記第2導電型不純物拡散領域に印加する電位よりも高い電位を印加する固体撮像装置の駆動方法。

【請求項14】 前記読み出し期間において、前記ゲート電極に前記第2導電型不純物拡散領域に印加する所定の電位よりも低い電位を印加する請求項11 または13に記載の固体撮像装置の駆動方法。

# 【発明の詳細な説明】

[0001]

# 【発明の属する技術分野】

本発明は、例えばビデオカメラ、電子カメラ(デジタルカメラ)、画像入力カメラ、スキャナ、ファクシミリなどの画像入力デバイス装置などに用いられる固体撮像装置およびその駆動方法に関する。

[0002]

### 【従来の技術】

従来、この種の固体撮像装置としてCCD型イメージセンサやMOS型イメージセンサなどの半導体イメージセンサが用いられている。この半導体イメージセンサは、ほとんどの画像入力デバイス装置に適用されている。特に、近年、消費電力が小さく、かつ、周辺回路と同じCMOS技術にて作製可能という利点を活かして、MOS型イメージセンサが見直されている。

#### [0003]

このような技術動向に対して、例えば特許文献1には、MOS型イメージセンサの改良を行い、光信号検出用MOSトランジスタのチャネル領域下にキャリアポケット領域(高濃度埋め込み層)を設けた閾値電圧変調方式のMOS型イメージセンサ(固体撮像装置)が開示されている。このような特許文献1のMOS型イメージセンサについて図11にその構成を示している。

[0004]

図11は、従来のMOS型イメージセンサの1画素分の構成例を示す断面図で

ある。

### [0005]

図11において、このMOS型イメージセンサ20は、光電変換用の受光ダイオード1と、この受光ダイオード1近傍の光信号検出用MOSトランジスタ2 (絶縁ゲート型電界効果トランジスタ)とを有する単位画素部3がフィールド酸化膜4で画素分離されて例えば行方向および列方向にマトリクス状に複数配列されて構成されている。これらの受光ダイオード1と光信号検出用MOSトランジスタ2とは一つのP型ウェル領域5内に形成されている。

# [0006]

受光ダイオード1は、光電変換された信号電荷の発生領域であるP型ウェル領域5の一部であるP型ウェル領域51と、そのP型ウェル領域51の表層に設けられたN型不純物拡散領域6とを有しており、N型不純物拡散領域6がP型ウェル領域51に対して埋め込み構造となっている。

### [0007]

MOSトランジスタ2は、ゲート電極21と、N型ソース領域22と、N型ドレイン領域23と、電流担体が移動するチャネル領域24と、P型ホールポケット領域25とを有している。

### [0008]

ゲート電極21は、P型ウェル領域5上に図示しないゲート絶縁膜を介して平面視リング状に形成されている。

### [0009]

N型ソース領域22は、このリング状のゲート電極21の内側にあってP型ウェル領域5の表面側にソース拡散領域として設けられている。

# [0010]

N型ドレイン領域23は、リング状のゲート電極21の外周を囲むようにP型ウェル領域5の表面側に平面視リング状のドレイン拡散領域として設けられている。このN型ドレイン領域23は、上記N型不純物拡散領域6と一体的に形成されている。N型不純物拡散領域6の外周端部は、P型ウェル領域5を囲むように設けられたN型ウェル領域7と接続されている。

# [0011]

チャネル領域24は、ゲート電極21下の、N型ソース領域22とN型ドレイン領域23間のP型ウェル領域5の表面側に設けられたN型不純物領域(N型不純物層)として形成されている。

## [0012]

P型ホールポケット領域25は、ゲート電極21の下方であって、N型ソース 領域22近傍位置のP型ウェル領域5内にN型ソース領域22を囲むように平面 視リング状に形成されている。このP型ホールポケット領域25は、P型ウェル 領域5よりも不純物濃度が高い高濃度埋め込み層として形成されている。

# [0013]

P型ウェル領域5は、P型半導体基板8上のN型ウェル領域7内に設けられている。N型ウェル領域7は、上記フィールド酸化膜4およびP型分離領域9によって分離されている。

### [0014]

上記構成により、この固体撮像装置(例えばMOS型イメージセンサ)の基本動作について、図12のタイミングチャートをその一例として説明する。なお、この固体撮像装置において、その一連の撮像動作として、初期化(掃き出し)動作、蓄積動作および読み出し動作の各動作が繰り返して行われる。

### [0015]

図12に示すように、まず、掃き出し期間には、初期化のため、ドレイン領域23のドレイン電圧VDおよびゲート電極21のゲート電圧VGに5V程度の高電圧が印加される。このとき、ゲート電極21下ではチャネル領域24が充分に形成されているため、ソース領域22の電位も5Vとなっている。この場合のポテンシャル分布について図13に示している。

# [0016]

図13は、図11のホールポケット領域25を通る基板面に垂直な方向(深さ方向)の掃き出し時のポテンシャル分布図である。なお、この場合の縦軸はポテンシャル値を示し、横軸は基板表面からの深さ(距離)を示している。

### [0017]

図13において、ゲート絶縁膜からN型(N+)不純物領域24、P型(P+)ホールポケット領域25、P型ウェル領域5、N型ウェル領域7およびP型半導体基板8に向かって、ゲート電圧VGの5VからGND(0V)までポテンシャル値が変化している。このような動作により、ホールポケット領域25に蓄積されている信号電荷(ホール)が全てP型半導体基板8側に掃き出される。この期間が掃き出し期間となる。

# [0018]

次に、蓄積期間では、図12に示すように、ドレイン電圧VDが3Vに下げられ、受光ダイオード1のP型ウェル領域51内にて光電変換で信号電荷が生成される。このとき、ゲート電圧VGが1Vに下げられているため、光信号検出用MOSトランジスタ2がオフ状態になり、最も電位が低いゲート電極21下のホールポケット領域25に信号電荷(ホール)が蓄積される。

### [0019]

さらに、読み出し期間には、光信号検出用MOSトランジスタ2のソース領域22に定電流源が接続され、ドレイン領域23、ゲート電極21およびソース領域22によってソースフォロワ回路が構成される。この状態でゲート電圧VGを3Vに上げてMOSトランジスタ2を飽和領域で動作させることにより、ホールポケット領域25に蓄積された信号電荷量に応じてソース電位が変調される。この場合のポテンシャル分布について図14に示している。

# [0020]

図14は、図11のホールポケット領域25を通る基板面に垂直な方向(深さ方向)の読み出し時のポテンシャル分布図である。なお、この場合の縦軸はポテンシャル値を示し、横軸は基板表面からの深さ(距離)を示している。

### $[0\ 0\ 2\ 1]$

図14において、ゲート絶縁膜からN型(N+)不純物領域24、P型(P+)ホールポケット領域25、P型ウェル領域5、N型ウェル領域7およびP型半導体基板8に向かって、ゲート電圧VGの3VからGND(0V)までポテンシャル値が変化している。ホールポケット領域25およびP型ウェル領域5ではN型ウェル領域7に比べてポテンシャル値が低くなっており、N型ウェル領域7が

P型ウェル領域5とP型半導体基板8との間のポテンシャル障壁となって、ホールポケット領域25に信号電荷が蓄積される。このときのホールポケット領域25に蓄積可能な最大信号電荷量を図14に斜線で示している。

[0022]

【特許文献1】

特開平11-195778号公報(特許公報2935492号)

[0023]

【発明が解決しようとする課題】

上述した従来の固体撮像装置では、掃き出し期間においてホールポケット領域25内部の信号電荷を完全にP型半導体基板8側に排出する必要がある。このためには、ホールポケット領域25の電位を、P型半導体基板8に電荷を排出するための障壁となっているN型ウェル領域7の電位よりも高くする必要がある。

[0024]

また、その電位分布を実現するためには、通常使用される動作電圧(図12および図13の例の場合には1Vおよび3V)よりも高電圧(図12および図13の例の場合には5V)が必要とされる。このような高電圧を発生させるためには、外部に専用の電源を設けるか、またはチップ内部にキャパシタを持つ昇圧回路を設けることが必要となる。また、昇圧回路をチップ内部に設ける場合には、キャパシタンス等を作製することが必要となるためにチップ面積の増大につながり、さらには、一部、高耐圧トランジスタ作製のためのプロセス構築が必要となることもある。

[0025]

本発明は、上記従来の問題を解決するもので、掃き出し期間に高電圧を用いることなく、通常使用される動作電圧だけで信号電荷を基板に確実に排出させることができる固体撮像装置およびその駆動方法を提供することを目的とする。

[0026]

【課題を解決するための手段】

本発明の固体撮像装置は、第1導電型半導体基板上の第2導電型ウェル領域内 に第1導電型ウェル領域が設けられ、該第1導電型ウェル領域内に受光部と光信 号検出部とが設けられた単位画素部が複数配列された固体撮像装置において、

該第2導電型ウェル領域と、該第1導電型ウェル領域の表面側に形成された第 2導電型不純物拡散領域との間に該第1導電型ウェル領域が設けられているもの であり、そのことにより上記目的が達成される。

# [0027]

また、好ましくは、本発明の固体撮像装置における受光部は受光ダイオードで 構成され、前記光信号検出部はトランジスタで構成されている。

# [0028]

さらに、好ましくは、本発明の固体撮像装置における受光ダイオードは、前記 第1導電型ウェル領域の一部と第2導電型不純物拡散領域とを有し、前記トラン ジスタは、該第1導電型ウェル領域の表面側に前記第2導電型不純物拡散領域と 一体的に形成された第2導電型ドレイン拡散領域と、該第1導電型ウェル領域の 表面側に該第2導電型ドレイン拡散領域と所定の間隔を開けて設けられた第2導 電型ソース拡散領域と、該第2導電型ドレイン拡散領域と第2導電型ソース拡散 領域間の第1導電型ウェル領域上にゲート絶縁膜を介して設けられたゲート電極 と、該ゲート電極下の第1導電型ウェル領域の表面側に設けられたチャネル領域 と、該第1導電型ウェル領域内で該チャネル領域下の該第2導電型ソース拡散領 域近傍位置に設けられ、該第1導電型ウェル領域よりも高い不純物濃度の第1導 電型高濃度埋め込み層とを有する。

### [0029]

さらに、好ましくは、本発明の固体撮像装置における第2導電型ウェル領域に 所定の電位を与えるための端子部が設けられている。

### [0030]

さらに、好ましくは、本発明の固体撮像装置における端子部は行方向に配置された複数の単位画素部に共通に設けられている。

### [0031]

さらに、好ましくは、本発明の固体撮像装置における第2導電型不純物拡散領域と第2導電型ウェル領域間の前記第1導電型ウェル領域の表面側にチャネル領域が設けられている。

# [0032]

さらに、好ましくは、本発明の固体撮像装置における第2導電型不純物拡散領域と第2導電型ウェル領域間の前記第1導電型ウェル領域の表面上にゲート絶縁膜を介してゲート端子が設けられている。

# [0033]

さらに、好ましくは、本発明の固体撮像装置において、ゲート端子への電圧制御により、前記第2導電型ウェル領域と第2導電型不純物拡散領域とが電気的に接続または遮断されるように制御可能としている。

# [0034]

さらに、好ましくは、本発明の固体撮像装置における第2導電型ウェル領域と 第1導電型高濃度埋め込み層の不純物濃度を通常不純物濃度に比べて低く設定し た。

# [0035]

本発明の固体撮像装置の駆動方法は、請求項3に記載の固体撮像装置を駆動する固体撮像装置の駆動方法であって、前記第1導電型高濃度埋め込み層に蓄積された信号電荷を前記第1導電型半導体基板側に排出する掃き出し期間において、前記第2導電型ウェル領域に、前記第2導電型不純物拡散領域に印加する電位よりも低い電位を印加するものであり、そのことにより上記目的が達成される。

#### [0036]

本発明の固体撮像装置の駆動方法は、請求項9に記載の固体撮像装置を駆動する固体撮像装置の駆動方法であって、前記第1導電型高濃度埋め込み層に蓄積された信号電荷を読み出す読み出し期間において、前記第2導電型ウェル領域に、前記第2導電型不純物拡散領域に印加する電位よりも高い電位を印加するものであり、そのことにより上記目的が達成される。

### [0037]

本発明の固体撮像装置の駆動方法は、請求項7または8に記載の固体撮像装置 を駆動する固体撮像装置の駆動方法であって、前記第1導電型高濃度埋め込み層 に蓄積された信号電荷を前記第1導電型半導体基板側に排出する掃き出し期間に おいて、前記ゲート端子に印加する電圧を制御して前記第2導電型ウェル領域と 第2導電型不純物拡散領域とを電気的に遮断すると共に、前記第2導電型ウェル 領域に、前記第2導電型不純物拡散領域に印加する電位よりも低い電位を印加す るものであり、そのことにより上記目的が達成される。

# [0038]

本発明の固体撮像装置の駆動方法は、請求項9に記載の固体撮像装置を駆動する固体撮像装置の駆動方法であって、前記第1導電型高濃度埋め込み層に蓄積された信号電荷を読み出す読み出し期間において、前記ゲート端子に印加する電圧を制御して前記第2導電型ウェル領域と第2導電型不純物拡散領域とを電気的に遮断すると共に、前記第2導電型ウェル領域に、前記第2導電型不純物拡散領域に印加する電位よりも高い電位を印加するものであり、そのことにより上記目的が達成される。

### [0039]

また、好ましくは、本発明の固体撮像装置の駆動方法における読み出し期間に おいて、前記ゲート電極に前記第2導電型不純物拡散領域に印加する所定の電位 よりも低い電位を印加する。

### [0040]

上記構成により、以下、本発明の作用について説明する。

### [0041]

本発明においては、第2導電型ウェル領域(N型ウェル領域)と第2導電型不 純物拡散領域(第2導電型ドレイン拡散領域と一体的に構成)とが、第1導電型 ウェル領域(P型ウェル領域)によって分離されているため、第2導電型ドレイ ン拡散領域に印加される電位とは異なる電位をN型ウェル領域に印加することが できる。

# [0042]

一方、第1導電型高濃度埋め込み層(ホールポケット領域)に蓄積された信号電荷(光電変換による光信号)を第1導電型半導体基板側に排出する掃き出し期間に、第2導電型不純物拡散領域(第2導電型ドレイン拡散領域)に印加される電位よりも低い電位をN型ウェル領域に電圧印加することによって、第1導電型半導体基板とホールポケット領域との間のN型ウェル領域によって形成されるポ

テンシャル障壁を低くすることができる。その結果、第2導電型ドレイン拡散領域とN型ウェル領域とが同電位とされていた従来技術と比べて、掃き出し期間に第2導電型ドレイン拡散領域やゲート電極に印加されるゲート電圧を低電圧化することが可能となる。

# [0043]

また、第1導電型高濃度埋め込み層(ホールポケット領域)に蓄積された光発生信号を読み出す読み出し期間に、第2導電型不純物拡散層(第2導電型ドレイン拡散領域)に印加される電位よりも高い電位を第2導電型半導体層(N型ウェル領域)に印加することによって、第1導電型半導体基板とホールポケット領域との間のN型ウェル領域によって形成されるポテンシャル障壁を高くすることもできる。この場合に、ホールポケット領域に蓄積された信号電荷の第1導電型半導体基板側へのオーバーフローを防ぐことができるため、ホールポケット領域やN型ウェル領域の不純物濃度を通常不純物濃度よりも低くして低電圧化を図った場合にも、蓄積最大信号電荷量の低下を防ぐことが可能となる。

### [0044]

N型ウェル領域に電位を与えるための端子部は、単位画素部毎に設けてもよいが、複数の単位画素部に共通に設けることによって、画素面積を有効利用することができる。MOS型イメージセンサでは、掃き出し、蓄積、読み出しという一連の撮像動作は各行毎に行われるため、N型ウェル領域に電位を与えるための端子部を、行方向に配置された複数の単位画素部に共通に設けることが好ましい。

### [0045]

N型ウェル領域と第2導電型ドレイン領域とを分離するP型ウェル領域の表面上に、ゲート絶縁膜を介してゲート端子を設け、ゲート端子に電圧を印加して制御することによって、第2導電型ドレイン領域とN型ウェル領域との電気的接続または遮断を制御することが可能となる。

#### [0046]

さらに、蓄積期間には第2導電型ドレイン領域とN型ウェル領域との間が電気的に接続されるようにゲート端子に電圧を印加することによって、P型ウェル領域が露出している部分で生じる暗電流成分によってS/Nが劣化することを防ぐ

ことが可能となる。また、N型ウェル領域に第2導電型ドレイン領域とは異なる電位が印加される掃き出し期間または読み出し期間には、第2導電型ドレイン領域とN型ウェル領域との間が電気的に遮断されるようにゲート端子に電圧が印加される。

# [0047]

### 【発明の実施の形態】

以下に、本発明の固体撮像装置の実施形態1~6をそれぞれMOS型イメージ センサに適用した場合について図面を参照しながら説明する。

# (実施形態1)

図1は、本発明の固体撮像装置の実施形態1であるMOS型イメージセンサの 1 画素分の構成を示す断面図である。なお、図11の従来の構成部材と同一の作 用効果を奏する部材には同一の符号を付している。

### [0048]

図1において、このMOS型イメージセンサ20Aは、図11に示す従来のMOS型イメージセンサ20の場合と同様に、光電変換用受光部としての受光ダイオード1と、この受光ダイオード1近傍の光信号検出部(トランジスタ)としてのMOSトランジスタ2(絶縁ゲート型電界効果トランジスタ)とを有する単位画素部3がフィールド酸化膜4で画素分離されて例えば行方向および列方向にマトリクス状に複数配列されて構成されている。第1導電型(P型)半導体基板8上の第2導電型(N型)ウェル領域7内には第1導電型(P型)ウェル領域5が設けられており、受光ダイオード1と光信号検出用MOSトランジスタ2とは一つのP型ウェル領域5内に形成されている。

#### [0049]

受光ダイオード1は、光電変換された信号電荷の発生領域であるP型ウェル領域5の一部としてのP型ウェル領域51と、そのP型ウェル領域51の表面側に設けられた第2導電型(N型)不純物拡散領域6とを有しており、N型不純物拡散領域6がP型ウェル領域51に対して埋め込み構造となっている。

#### [0050]

MOSトランジスタ2は、ゲート電極21と、第2導電型(N型)ソース拡散

領域22 (以下、N型ソース領域22という)と、第2導電型(N型)ドレイン 拡散領域23 (以下、N型ドレイン領域23という)と、電流担体(電荷)が移動するチャネル領域24と、信号電荷保持用の第1導電型高濃度埋め込み層25 (以下、P型ホールポケット領域25という)とを有している。

## $[0\ 0\ 5\ 1]$

ゲート電極21は、P型ウェル領域5上に図示しないゲート絶縁膜を介して平面視リング状に形成されている。

### [0052]

N型ソース領域22は、リング状のゲート電極21の内側にあってP型ウェル領域5の表面側に設けられている。

### [0053]

N型ドレイン領域23は、リング状のゲート電極21の外周を囲むようにP型ウェル領域5の表層側に平面視リング状に設けられている。このN型ドレイン領域23は上記N型不純物拡散領域6と一体的に形成され、N型ドレイン領域23 およびN型不純物拡散領域6はP型ウェル領域5内に形成されている。

#### [0054]

チャネル領域24は、ゲート電極21下の、N型ソース領域22とN型ドレイン領域23間のP型ウェル領域5の表層側に設けられたN型不純物領域(N型不純物層)として形成されている。

### [0055]

P型ホールポケット領域25は、ゲート電極21の下方であって、N型ソース 領域22近傍位置のP型ウェル領域5内にN型ソース領域22の周囲を囲むよう に平面視リング状に形成されている。このP型ホールポケット領域25は、P型 ウェル領域5よりも不純物濃度が高いP型高濃度埋め込み層として形成されてい る。

## [0056]

P型ウェル領域5は、P型半導体基板8上のN型ウェル領域7内に設けられている。N型ウェル領域7は、上記フィールド酸化膜4およびP型分離領域9によって分離されている。



# [0057]

ここで、本実施形態1の特徴構成について説明する。

### [0058]

MOS型イメージセンサ20Aにおいて、N型ウェル領域7と、P型ウェル領域5(または51)の表面側に形成されたN型不純物拡散領域6との間にP型ウェル領域5(または51)が設けられている。即ち、P型ウェル領域5(または51)を囲むように設けられたN型ウェル領域7は、P型ウェル領域5(または51)によってN型ドレイン領域23を含むN型不純物拡散領域6と物理的に分離されている。また、P型分離領域9とP型ウェル領域5との間に存在するN型ウェル領域7上には、N型ウェル領域7に所定の電位を与えるための端子部10(コンタクトN+部)が設けられている。

### [0059]

一方、図11の従来のMOS型イメージセンサ20では、N型ドレイン領域23とN型ウェル領域7とがN型不純物拡散領域6を介して接続されており、N型ドレイン領域23に所定の電位を印加すると、N型ウェル領域7もN型ドレイン領域23と同じ電位になる。

#### [0060]

これに対して、本実施形態1のMOS型イメージセンサ20Aでは、P型ウェル領域5によって、N型ドレイン領域23とN型ウェル領域7とが物理的に分離されているため、N型ドレイン領域23に印加されるドレイン電位VDとは異なる電位VSUBNを、端子部10(コンタクトN+部)からN型ウェル領域7に印加することが可能となっている。

#### $[0\ 0\ 6\ 1]$

上記構成により、以下に、本実施形態1のMOS型イメージセンサ20Aの駆動方法の一例について、図2のタイミングチャートを用いて説明する。この例では、掃き出し期間において、N型ドレイン領域23に印加されるドレイン電圧よりも低い電圧VSUBNがN型ウェル領域7に印加される場合である。

#### [0062]

即ち、図2に示すように、まず、掃き出し期間において、N型ドレイン領域2

およびゲート電極21に印加されるドレイン電圧VDおよびゲート電圧VGは 共に3Vであり、N型ウェル領域7に印加される電圧VSUBNは、それよりも 低電位の0Vである。この場合のポテンシャル分布については図3に示している

# [0063]

図3は、図1のホールポケット領域25を通る基板面に垂直な方向(深さ方向)の掃き出し時のポテンシャル分布図である。なお、縦軸はポテンシャル値を示し、横軸は基板表面からの深さを示している。

# [0064]

図3において、ゲート絶縁膜からチャネル領域24 (N型(N+)不純物領域)、P型(P+)ホールポケット領域25、P型ウェル領域5、N型ウェル領域7およびP型半導体基板8に向かって、3V(または3.5V)からGND(0V)までポテンシャル値が変化している。

### [0065]

本実施形態1では、図13の従来のMOS型イメージセンサ20におけるポテンシャル分布図に比べて、N型ウェル領域7に低電圧を印加できるため、ホールポケット領域25とP型半導体基板8との間のN型ウェル領域7によって形成されるポテンシャル障壁が低くなる。この結果、従来のようにN型ドレイン領域23とN型ウェル領域7とを同一電位(図12の例では5V)とした場合に比べて、掃き出し時にN型ドレイン領域23やゲート電極21に印加される各電圧を低電圧化(図2の例では3V)することが可能となる。このような撮像動作により、ホールポケット領域25に蓄積されている信号電荷(ホール)が全てP型半導体基板8側に掃き出される。

### [0066]

次に、蓄積期間では、図12の従来のMOS型イメージセンサ20の場合と同様に、ドレイン領域23に3Vのドレイン電圧VDが印加され、受光ダイオード1のP型ウェル領域51内にて光電変換による信号電荷が生成される。このとき、ゲート電圧VGが1Vに下げられているため、光信号検出用MOSトランジスタ2がオフ状態となり、最も電位が低いゲート電極21下のホールポケット領域

5に信号電荷(ホール)が蓄積される。また、N型ウェル領域7に印加される電圧VSUBNは、N型ドレイン領域23に印加されるドレイン電圧と同じ3Vに設定されている。

### [0067]

さらに、読み出し期間では、図12に示す従来のMOS型イメージセンサ20の場合と同様に、光信号検出用MOSトランジスタ2のN型ソース領域22に定電流源が接続され、N型ドレイン領域23、ゲート電極21およびN型ソース領域22によってソースフォロワ回路が構成されている。この状態でゲート電圧VGを3Vに上げてMOSトランジスタ2を飽和領域で動作させることにより、ホールポケット領域25に蓄積された信号電荷量に応じてソース電位が変調される。このときにN型ウェル領域7に印加される電圧VSUBNは、N型ドレイン領域23に印加される電圧と同じ3Vに設定されている。

### [0068]

以上のように、本実施形態1によれば、掃き出し動作のために必要とされるドレイン電圧VDおよびゲート電圧VGを従来のものと比べて通常電圧の低電圧(ここでは3V)とすることができる。このため、従来のように外部に専用の電源装置を設けたり、内部にキャパシタを持つ昇圧回路を設ける必要がなくなる。

#### (実施形態2)

上記実施形態1では、掃き出し期間において、N型ドレイン領域23に印加されるドレイン電圧よりも低い電圧VSUBNをN型ウェル領域7に印加する場合であったが、本実施形態2では、上記実施形態1のP型高濃度埋め込み層(ホールポケット領域25)やN型ウェル領域7の不純物濃度に比べて低く設定し、かつ、これによる蓄積最大信号電荷量の低下を防止する場合である。

#### [0069]

即ち、掃き出しに必要な撮像動作電圧としては、ホールポケット領域25やN型ウェル領域7の不純物濃度を低くすることにより低電圧化することが可能である。しかしながら、この場合には、ホールポケット領域25やN型ウェル領域7における不純物濃度の低濃度化に伴って、ホールポケット領域25に蓄積可能な最大信号電荷量も低下する。



これを解決するために、本実施形態2のMOS型イメージセンサ20Bの構造は、図1に示す実施形態1の場合(MOS型イメージセンサ20A)と略同様であるが、ホールポケット領域25やN型ウェル領域7の不純物濃度を低くしてホールポケット領域25BやN型ウェル領域7Bとし、かつ、読み出し時に、N型ドレイン領域23に印加されるドレイン電圧VDよりも高い電圧VSUBNがN型ウェル領域7Bに印加する点が異なっている。

# [0071]

以下に、本実施形態2のMOS型イメージセンサ20Bの駆動方法の一例について、図4のタイミングチャートを用いて説明する。

# [0072]

図4に示すように、まず、掃き出し期間において、端子部10を介してN型ウェル領域7Bに印加される電圧VSUBNは、ドレイン領域23およびゲート電極21に印加されるドレイン電圧VDおよびゲート電圧VGと同じ3Vである。本実施形態2では、図12に示す従来のMOS型イメージセンサ20に比べて、ホールポケット領域25BやN型ウェル領域7Bの不純物濃度を、上記実施形態1のホールポケット領域25やN型ウェル領域7の不純物濃度よりも低く設定することにより、掃き出しに必要な動作電圧が上記従来の場合に比べて低電圧化することにより、掃き出しに必要な動作電圧が上記従来の場合に比べて低電圧化するのはもちろんのこと、上記実施形態1の場合に比べても低電圧化することができる。このような動作により、ホールポケット領域25Bに蓄積されている信号電荷(ホール)が全てP型半導体基板8側に容易に掃き出される。

#### [0073]

次に、蓄積期間では、図12に示す従来のMOS型イメージセンサ20の場合と同様に、N型ドレイン領域23に3Vのドレイン電圧VDが印加されており、受光ダイオード1のP型ウェル領域51内にて光電変換された信号電荷が生成される。このとき、ゲート電圧VGは1Vに下げられている。このため、光信号検出用MOSトランジスタ2がオフ状態となっており、最も電位が低いゲート電極21下のホールポケット領域25Bに信号電荷(ホール)が蓄積される。また、N型ウェル領域7Bに印加される電圧VSUBNは、N型ドレイン領域23に印



されるドレイン電圧VDと同じ3Vである。

# [0074]

さらに、読み出し期間では、光信号検出用MOSトランジスタ2BのN型ソース領域22に定電流源が接続され、N型ドレイン領域23、ゲート電極21およびN型ソース領域22によってソースフォロワ回路が構成される。この状態でゲート電圧を2.5Vに上げてMOSトランジスタ2Bを飽和領域で動作させることにより、ホールポケット領域25に蓄積された信号電荷量に応じてソース電位が変調される。このときにN型ウェル領域7Bに印加される電圧VSUBNは、N型ドレイン領域23に印加される通常のドレイン電圧3Vよりも高い3.5Vである。

# [0075]

本実施形態2では、このように、読み出し時にN型ウェル領域7Bの電位を高くすることによって、N型ウェル領域7Bに形成されるポテンシャル障壁を高めることができる。このため、N型ウェル領域7BからP型半導体基板8への信号電荷(ホール)のオーバーフローを防いでホールポケット領域25Bに蓄積される最大信号電荷量の低下(ホールポケット領域25Bにおいて不純物濃度を低くして低電圧化したことによる最大信号電荷量の低下)を防ぐことができる。

# [0076]

また、図4に示すように、ゲート電極21に印加されるゲート電圧VGを低く設定(この例では2.5V)して、界面電位(ゲート絶縁膜とチャネル領域24との界面電位)とN型ウェル領域7Bによって形成されるポテンシャル障壁の電位が、ほぼ同じ程度になるように設定することによっても、蓄積最大信号電荷量を増加させることができる。この場合のポテンシャル分布について図5に示している。

### [0077]

図5は、図1のホールポケット領域25Bを通る基板面に垂直な方向(深さ方向)の読み出し時のポテンシャル分布図である。なお、縦軸はポテンシャル値を示し、横軸は基板表面からの深さを示している。

# [0078]

図5において、ゲート絶縁膜からN型(N+)不純物領域7B、P型(P+)ホールポケット領域25B、P型ウェル領域5、N型ウェル領域7BおよびP型半導体基板8に向かって、2.5VからGND(0V)までポテンシャル値が変化している。N型ウェル領域7Bによって形成されるP型ウェル領域5とP型半導体基板8との間のポテンシャル障壁が、界面電位(ゲート絶縁膜とチャネル領域24との界面電位)とほぼ同じ電位になっている。このため、ホールポケット領域25Bに蓄積される信号電荷量を多くすることができる。このときにホールポケット領域25Bに蓄積可能な最大信号電荷量を、図5に斜線で示している。この場合でも、通常電圧程度(図4の例では3.5V)での動作となる。なお、図4の読み出し期間において、N型ウェル領域には3.5Vが電圧印加されるが、N型ウェル領域のポテンシャル値は空乏化されているため同電位まで上がらず、図5の例では電圧2.5V程度になる。

# (実施形態3)

本実施形態3では、図1に示すMOS型イメージセンサ20Aに対して、N型ドレイン領域23とN型ウェル領域7との電気的な分離をより確実にするために、N型不純物拡散領域6とN型ウェル領域7間のP型ウェル領域5の露出表面上にさらにゲート構造が付加される場合である。

#### [0079]

図6は、本発明の固体撮像装置の実施形態3であるMOS型イメージセンサ20Cの1画素分の構成を示す断面図である。なお、図1の構成部材と同一の作用効果を奏する部材には同一の符号を付する。

#### [0080]

図6において、このMOS型イメージセンサ20Cでは、N型ドレイン領域23と一体化したN型不純物拡散領域6とN型ウェル領域7とを分離する分離領域においてP型ウェル領域5が表面に露出している。光信号が蓄積される領域はPウェル領域51(または5)であるが、その一部が表面に露出していると、表面付近の格子欠陥やダメージに起因する暗電流成分が発生し、ノイズ成分がP型ウェル領域5(または51)に蓄積されることになるため、S/Nが劣化する。本実施形態3では、このようなS/Nの劣化を防ぐために、表面側が露出している

型ウェル領域51上にゲート絶縁膜(図示せず)を介してゲート端子11を設けており、ゲート端子11にゲート電位VG2を印加してN型ドレイン領域23とN型ウェル領域7との電気的接続または遮断を制御できるようにしている。

# [0081]

このように、N型不純物拡散領域6とN型ウェル領域7間のP型ウェル領域5 1の表面上にゲート絶縁膜(図示せず)を介してゲート端子11が設けられている。このゲート端子11下のP型ウェル領域51の表面上に第1導電型高濃度不純物領域(チャネル領域52)が設けられている。即ち、N型不純物拡散領域6に隣接するP型ウェル領域51の表面側にチャネル領域52が設けられている。

# [0082]

上記構成により、以下に、本実施形態3のMOS型イメージセンサ20Cの駆動方法の一例について、図7のタイミングチャートを用いて説明する。この例では、掃き出し期間において、N型ウェル領域7とN型ドレイン領域23との間が電気的に切断されるようにゲート端子11に印加されるゲート電圧VG2が制御される。また、図2の場合と同様に、掃き出し期間において、N型ドレイン領域23に印加されるドレイン電圧VDよりも低い電圧VSUBNがN型ウェル領域7に印加される。

# [0083]

図7に示すように、まず、掃き出し期間において、ドレイン領域23およびゲート電極21に印加されるドレイン電圧VDおよびゲート電圧VGは3Vであり、端子部10を介してN型ウェル領域7に印加される電圧VSUBNは、それらよりも低電位の0Vである。このような動作により、図2の場合と同様に、ホールポケット領域25に蓄積されている信号電荷(ホール)が全てP型半導体基板8側に掃き出される。

### [0084]

このように、N型ドレイン領域23とN型ウェル領域7とに異なる電位を印加できるため、ゲート端子11に印加されるゲート電圧VG2を0Vとして、N型ドレイン領域23とN型ウェル領域7との間の電位が短絡状態となることを防ぐように制御する。なお、この短い期間にも、N型ドレイン領域23とN型ウェル

領域7とを分離しているP型ウェル領域5の表面付近で暗電流成分が発生するが、掃き出し期間であり、全ての電荷がP型半導体基板8に排出されるため、S/N比を劣化させることはない。

# [0085]

次に、蓄積期間においても、図2の場合と同様に、N型ドレイン領域23に3 Vのドレイン電圧VDが印加され、受光ダイオード1のP型ウェル領域51内に て光電変換による信号電荷が生成される。このとき、ゲート電圧VGが1Vに下 げられているため、光信号検出用MOSトランジスタ2がオフ状態となり、最も 電位が低いゲート電極21下のホールポケット領域25に信号電荷(ホール)が 蓄積される。

# [0086]

N型ウェル領域7に印加される電圧VSUBNは、N型ドレイン領域23に印加されるドレイン電圧VDと同じ3Vであり、ゲート端子11に印加されるゲート電圧VG2も、ドレイン領域23に印加されるドレイン電圧と同じ3Vである。このように、動作上、大部分の時間が費やされる蓄積時間にゲート端子11に印加される電圧VG2を3Vとしてゲート電極11下にチャネル領域52を形成し、表面に露出されたP型ウェル領域51の表面を電荷で埋めることにより、暗電流成分に起因するホールがP型ウェル領域5内部の光信号蓄積領域(ホールポケット領域25)にノイズとして混入しにくい構造とすることができる。この蓄積期間において、N型ドレイン領域23とN型ウェル領域7とは同一電位であることが必要であるが、ゲート電極11下にチャネル領域52が形成されていても構わない。

### [0087]

さらに、読み出し期間は、図2の場合と同様に、光信号検出用MOSトランジスタ2のN型ソース領域22に定電流源が接続され、N型ドレイン領域23、ゲート電極21およびN型ソース領域22によってソースフォロワ回路が構成される。この状態でゲート電圧VGを3Vに上げてMOSトランジスタ2を飽和領域で動作させることにより、ホールポケット領域25に蓄積された信号電荷量に応じてソース電位が変調される。このときにN型ウェル領域7に印加される電圧V

SUBNおよびゲート端子11に印加されるゲート電圧VG2は、N型ドレイン領域23に印加されるドレイン電圧VDと同じ3Vである。

### [0088]

以上のように、本実施形態3によれば、蓄積期間および読み出し期間にはN型ドレイン領域23とN型ウェル領域7とが電気的に接続されるようにゲート端子11に印加されるゲート電圧VG2を制御し、掃き出し期間にはN型ドレイン領域23とN型ウェル領域7とが電気的に遮断されるようにゲート端子11に印加されるゲート電圧VG2を制御することによって、暗電流成分によるS/N比劣化を防ぐと共に、掃き出し動作のために必要とされるドレイン電圧VDおよびゲート電圧VGを従来と比べて低電圧とすることができる。

# (実施形態4)

本実施形態4では、上記実施形態2の場合と同様に、上記実施形態3のホールポケット領域25やN型ウェル領域7の不純物濃度よりも低く設定することにより掃き出しに必要な各動作電圧を低電圧化させ、かつ、これによる蓄積最大信号電荷量の低下を防止する場合である。

### [0089]

MOS型イメージセンサ20Dの構造は、図6に示す実施形態3の場合と同様であるが、ホールポケット領域25DやN型ウェル領域7Dの不純物濃度が低くなっている。ここでは、読み出し期間において、N型ウェル領域7Dとドレイン領域23を含むN型不純物拡散領域6との間が電気的に遮断されるようにゲート端子11に印加されるゲート電圧VG2が制御される。また、上記実施形態2の場合と同様に、読み出し期間において、端子部10を介してN型ドレイン領域23に印加されるドレイン電圧VDよりも高い電圧VSUBNがN型ウェル領域7Dに印加される。

### [0090]

上記構成により、以下に、本実施形態4のMOS型イメージセンサ20Dの駆動方法の一例について、図8のタイミングチャートを用いて説明する。

#### [0091]

図8に示すように、まず、掃き出し期間において、図4の場合と同様に、端子

部10を介してN型ウェル領域7Dに印加される電圧VSUBNは、N型ドレイン領域23およびゲート電極21に印加されるドレイン電圧VDおよびゲート電圧VGと同じ3Vである。本実施形態4では、上記実施形態2の場合と同様に、図12に示す従来のMOS型イメージセンサ20に比べて、ホールポケット領域25DやN型ウェル領域7Dの不純物濃度を低く設定している。これにより、掃き出しに必要な動作電圧が従来のものと比べ、また上記実施形態3と比べても低電圧化している。このような動作により、ホールポケット領域25Dに蓄積されている信号電荷(ホール)が全てP型半導体基板8側に容易に掃き出される。このとき、ゲート端子11に印加されるゲート電圧VG2は、N型ドレイン領域23およびゲート電極21に印加されるドレイン電圧VDおよびゲート電圧VGと同じ3Vであり、このとき、N型ドレイン領域23とN型ウェル領域7Dとは電気的に接続されている。

# [0092]

次に、蓄積期間では、図4の場合と同様に、N型ドレイン領域23に3Vのドレイン電圧VDが印加され、受光ダイオード1のP型ウェル領域51内にて光電変換による信号電荷が生成される。このとき、ゲート電極21へのゲート電圧VGが1Vに下げられているため、光信号検出用MOSトランジスタ2Dがオフ状態となり、最も電位が低いゲート電極21下のホールポケット領域25Dに信号電荷(ホール)が蓄積される。

# [0093]

N型ウェル領域7Dに印加される電圧VSUBNは、N型ドレイン領域23に印加されるドレイン電圧VDと同じ3Vであり、ゲート端子11に印加されるゲート電圧VG2も、図7の場合と同様に、N型ドレイン領域23に印加されるドレイン電圧と同じ3Vである。上記実施形態3の場合と同様に、動作上、大部分の時間が費やされる蓄積時間にゲート端子11に印加されるゲート電圧VG2を3Vとしてゲート端子11下にチャネル領域52を導通状態とし、その表面に露出されたP型ウェル領域51の表面を電荷で埋めることにより、暗電流成分に起因するホールがP型ウェル領域51内部の光信号蓄積領域(ホールポケット領域25D)にノイズとして混入しにくい構造とすることができる。この蓄積期間に

おいて、N型ドレイン領域23とN型ウェル領域7Dとは同一電位であることが必要であるため、ゲート端子11下にチャネル領域52が形成されて導通していても構わない。即ち、チャネル領域52によりドレイン領域23とN型ウェル領域7Dとが接続されていても構わない。

# [0094]

次に、読み出し期間は、図4の場合と同様に、光信号検出用MOSトランジスタ2DのN型ソース領域22に定電流源が接続され、N型ドレイン領域23、ゲート電極21およびN型ソース領域22によってソースフォロワ回路が構成される。この状態でゲート電圧VGを2.5Vに上げてMOSトランジスタ2Dを飽和領域で動作させる。これにより、ホールポケット領域25に蓄積された信号電荷量に応じてソース電位が変調される。このときにN型ウェル領域7Dに印加される電圧VSUBNは、N型ドレイン領域23に印加される電圧3Vよりも高い3.5Vである。このとき、N型ドレイン領域23とN型ウェル領域7Dとに異なる電位を印加するため、ゲート端子11に印加されるゲート電圧VG2を0Vとして、ドレイン領域23とN型ウェル領域7Dとの間を電気的に分離している。即ち、ドレイン領域23とN型ウェル領域7Dとの間で短絡状態とならないように制御している。

### [0095]

本実施形態4では、掃き出し期間および蓄積期間にはN型ドレイン領域23とN型ウェル領域7Dとが電気的に接続されるようにゲート端子11に印加されるゲート電圧VG2を制御し、また、読み出し期間にはN型ドレイン領域23とN型ウェル領域7Dとが電気的に遮断されるようにゲート端子11に印加されるゲート電圧VG2を制御することによって、暗電流成分によるS/N比劣化を防ぐと共に、最大信号電荷量が制限される読み出し時にN型ウェル領域7Dの電位を3.5Vと高くし、ゲート電極21に印加されるゲート電圧VGを2.5Vと低くすることによって、N型ウェル領域7Dによって形成されるポテンシャル障壁を高めることができる。このため、P型半導体基板8への信号電荷(ホール)のオーバーフローを防いでホールポケット領域25Dに蓄積される最大信号電荷量の低下(ホールポケット領域25Dにおいて不純物濃度を低くして低電圧化した

ことによる最大信号電荷量の低下)を防ぐことができる。

### (実施形態5)

図9は、本発明の固体撮像装置の実施形態5であるMOS型イメージセンサの 1画素分の構成を示す断面図である。なお、図1の構成部材と同一の作用効果を 奏する部材には同一の符号を付している。

## [0096]

図9において、このMOS型イメージセンサ20Eは、図1に示すMOS型イメージセンサ20Aに対して、N型ウェル領域7Eが行方向の複数の画素部で共有されており、N型ウェル領域7Eに電位を与えるための端子部10(コンタクトN+部)が各画素部毎にではなく、例えば画素周辺部などに共通して設けられている。

### [0097]

一般に、CMOSイメージセンサや上記特許文献1に開示されているMOS型イメージセンサなどのように、固体撮像装置においては、掃き出し、蓄積、読み出しという一連の撮像動作が、各行毎に行われる。このことから、N型ウェル領域7 E は各行で共通化することが可能であり、N型ウェル領域7 E に電位を与えるための端子部10(コンタクトN+部)を各行毎に共通化して設けることによって、各画素毎に端子部10(コンタクトN+部)を設けた図1および図6に比べて、画素面積を有効に利用することが可能となる。なお、この場合の駆動方法については、上記図2および図4の場合と同様に行うことができる。

## (実施形態6)

図10は、本発明の固体撮像装置の実施形態6であるMOS型イメージセンサの1画素分の構成を示す断面図である。

# [0098]

図10において、このMOS型イメージセンサ20Fは、図9に示すMOS型イメージセンサ20Eの場合と同様に、N型ウェル領域7Eに電位を与える端子部10(コンタクトN+部)が設けられ、さらに、図6に示すMOS型イメージセンサ20Cの場合と同様に、N型ドレイン領域23とN型ウェル領域7Eとを分離する分離領域のP型ウェル領域51上にゲート端子11が設けられている。

なお、この場合の駆動方法についても、上記図7および図8の場合と同様に行う ことができる。

### [0099]

以上により、本実施形態1~6によれば、P型半導体基板8上のN型ウェル領 域7内にP型ウェル領域5が設けられ、P型ウェル領域5内に受光ダイオード1 と光信号検出用MOSトランジスタ2とを有する単位画素3が複数配列されてい る。受光ダイオード1はP型ウェル領域5の一部(P型ウェル領域51)とその 上のN型不純物拡散領域6とを有しており、また、MOSトランジスタ2はP型 ウェル領域5の表層にN型ドレイン領域23、N型ソース領域22、ゲート電極 21、N型不純物層であるチャネル領域24および、P型導電型高濃度埋め込み 層であるP型ホールポケット領域25を有しており、N型ウェル領域7と、N型 不純物拡散領域6と一体的に構成されたドレイン領域23とは、P型ウェル領域 5によって分離されている。これによって、掃き出し期間にはN型ウェル領域7 にN型ドレイン領域23よりも低電位を印加でき、読み出し期間にはN型ウェル 領域7にN型ドレイン領域23よりも高電位を印加できる。これによって、掃き 出し期間に従来のような高電圧を用いることなく、その高電圧よりも低い通常動 作電圧で、信号電荷をP型半導体基板8側に排出させることができる。したがっ て、特別な外部電源装置や内部昇圧回路などが不要となり、消費電力の低減およ びチップサイズの縮小を図ることができる。

# [0100]

なお、上記実施形態  $1\sim 6$  では、特に説明しなかったが、第 1 導電型を P 型とし、第 2 導電型を N 型としたが、これに限らず、その逆であってもよく、この場合にも本発明の効果を奏する。

# [0101]

### 【発明の効果】

以上説明したように、本発明によれば、第2導電型ウェル領域(N型ウェル領域)と第2導電型不純物拡散層(N型ドレイン領域)とが、第1導電型ウェル領域(P型ウェル領域)によって分離されており、N型ドレイン領域に印加される電位とは異なる電位をN型ウェル領域に印加することができる。これによって、

N型ドレイン領域とN型ウェル領域とが同電位とされていた従来技術と比べて、 掃き出し期間にN型ドレイン領域やゲート電極に印加される印加電圧を低電圧化 することができ、第1導電型高濃度埋め込み層(P型ホールポケット領域)やN 型ウェル領域の不純物濃度を低くした場合に最大信号電荷量の低下を防ぐことが できる。したがって、特別な外部電源装置や内部昇圧回路などが不要となり、消 費電力の低減およびチップサイズの縮小を図ることができる。

# [0102]

また、N型ウェル領域に電位を与えるための端子部は、行方向に配置された複数の画素部に共通に設けることによって、画素面積を有効利用することができる

### [0103]

さらに、N型ウェル領域とN型ドレイン領域とを分離するP型ウェル領域の分離領域に、ゲート絶縁膜を介して設けられたゲート端子に印加される電圧を制御することによって、N型ドレイン領域とN型ウェル領域との電気的接続または遮断を制御することができる。蓄積期間に、N型ドレイン領域とN型ウェル領域との間が電気的に接続されるようにゲート端子部に電圧を印加することによって、P型ウェル領域が露出している部分で生じる暗電流成分によってS/Nが劣化することを防ぐことができる。また、N型ウェル領域にN型ドレイン領域とは異なる電位が印加される掃き出し期間などには、N型ドレイン領域とN型ウェル領域との間が電気的に遮断されるようにゲート端子に電圧を印加することができる。

# 【図面の簡単な説明】

# 図1】

本発明の固体撮像装置の実施形態1、2であるMOS型イメージセンサの1画素分の構成を示す断面図である。

# 【図2】

本発明の実施形態1におけるMOS型イメージセンサの各端子に印加される各 駆動電圧を示すタイミングチャートである。

#### 【図3】

本発明の実施形態1において、ホールポケット領域を通る基板面に垂直な方向

(深さ方向) の掃き出し時のポテンシャル分布図である。

# 【図4】

本発明の実施形態 2 におけるMOS型イメージセンサの各端子に印加される各 駆動電圧を示すタイミングチャートである。

# 【図5】

本発明の実施形態 2 において、ホールポケット領域を通る基板面に垂直な方向 (深さ方向) の読み出し時のポテンシャル分布図である。

# 【図6】

本発明の固体撮像装置の実施形態3、4であるMOS型イメージセンサの1画素分の構成を示す断面図である。

# 【図7】

本発明の実施形態3におけるMOS型イメージセンサの各端子に印加される各 駆動電圧を示すタイミングチャートである。

### 【図8】

本発明の実施形態 4 におけるMOS型イメージセンサの各端子に印加される各 駆動電圧を示すタイミングチャートである。

### [図9]

本発明の固体撮像装置の実施形態5であるMOS型イメージセンサの1画素分の構成を示す断面図である。

### 【図10】

本発明の固体撮像装置の実施形態6であるMOS型イメージセンサの1画素分の構成を示す断面図である。

### 【図11】

従来のMOS型イメージセンサの1画素分の構成例を示す断面図である。

### 【図12】

従来のMOS型イメージセンサの各端子に印加される各駆動電圧を示すタイミングチャートである。

#### 【図13】

図11のホールポケット領域を通る基板面に垂直な方向(深さ方向)の掃き出

し時のポテンシャル分布図である。

# 【図14】

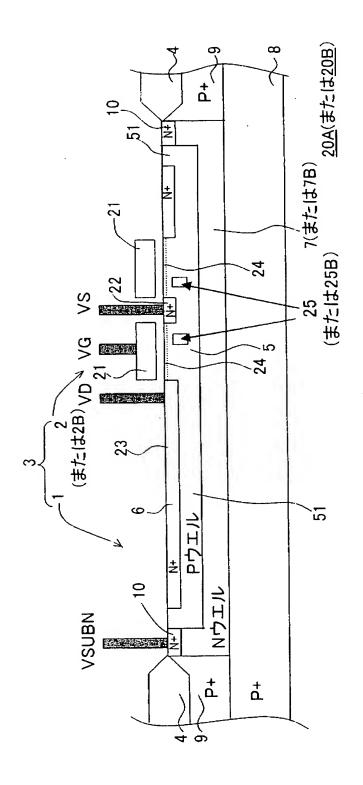
図11のホールポケット領域を通る基板面に垂直な方向(深さ方向)の読み出し時のポテンシャル分布図である。

# 【符号の説明】

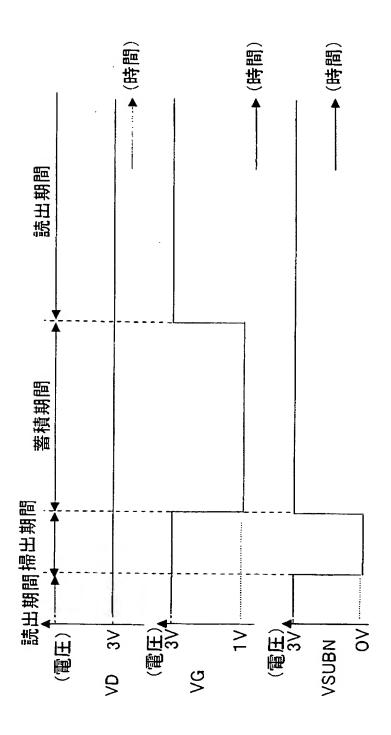
- 1 受光ダイオード
- 2, 2B, 2D 光信号検出用MOSトランジスタ
- 21 ゲート電極
- 22 ソース領域
- 23 ドレイン領域
- 24 チャネル領域
- 25、25B、25D ホールポケット領域
- 3 単位が素部
- 4 フィールド酸化膜
- 5 P型ウェル領域
- 51 P型ウェル領域の受光部側の一部
- 52 チャネル領域
- 6 N型不純物拡散領域
- 7、7B、7D N型ウェル領域
- 8 P型半導体基板
- 9 P型分離領域
- 10 N型ウェル領域に電位を与える端子部
- 11 ゲート端子
- 20A~20F MOS型イメージセンサ (固体撮像装置)

【書類名】 図面

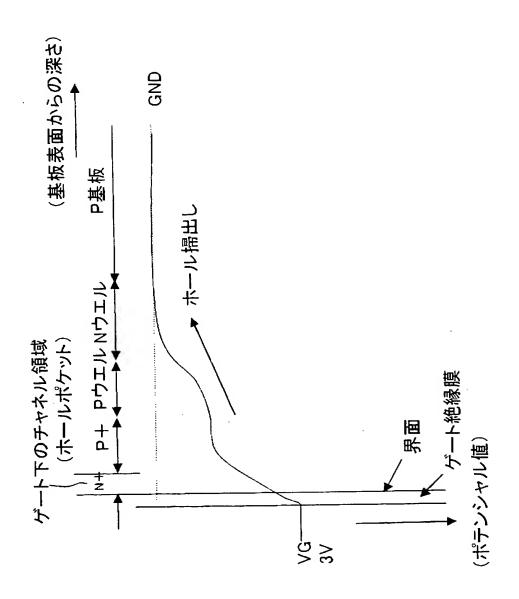
# 【図1】



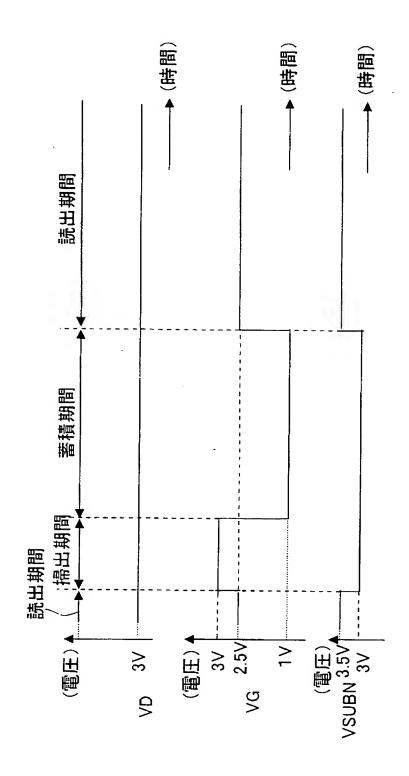
【図2】



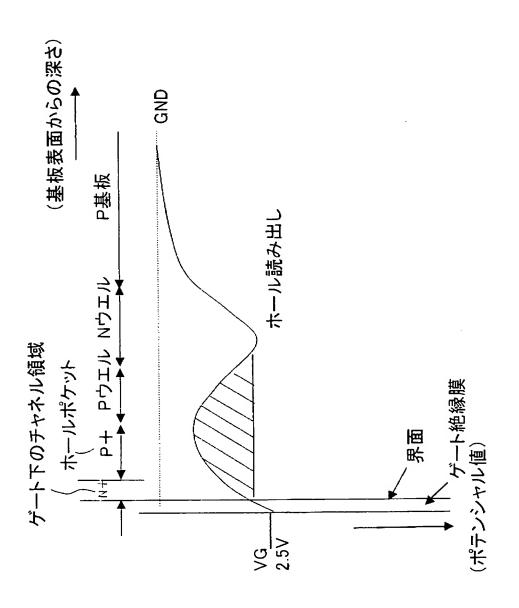
【図3】



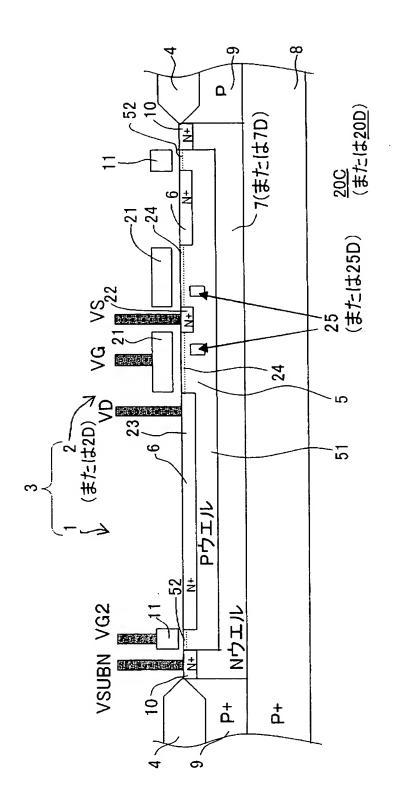
【図4】



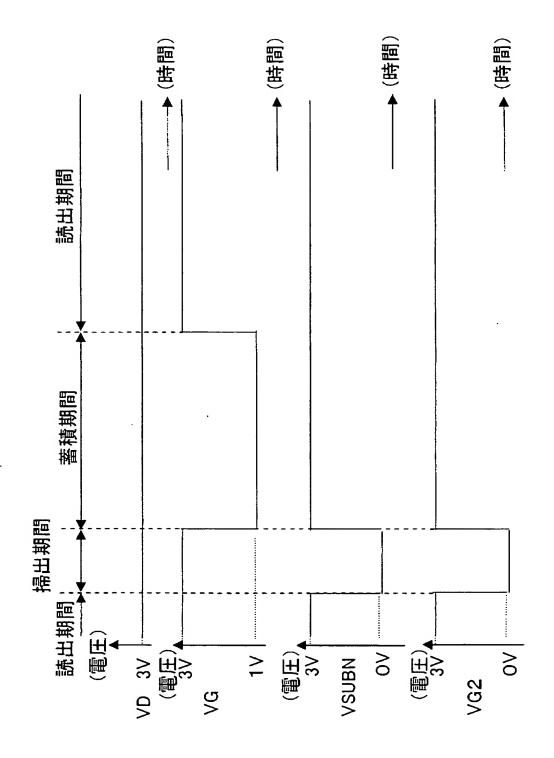
【図5】



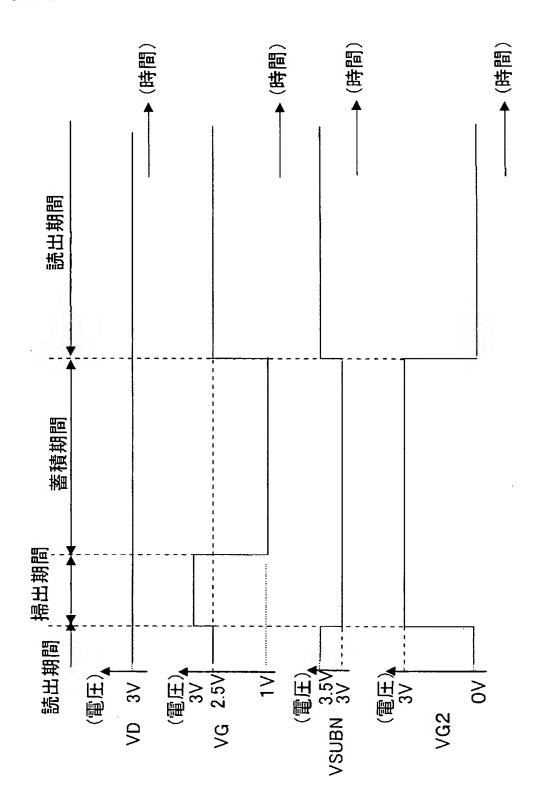
【図6】



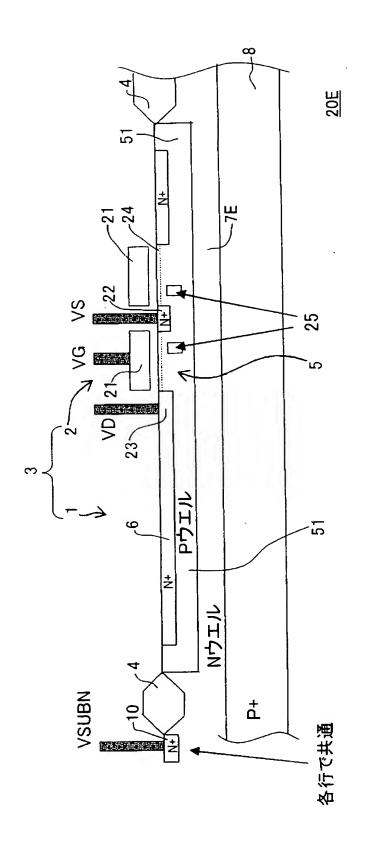
【図7】



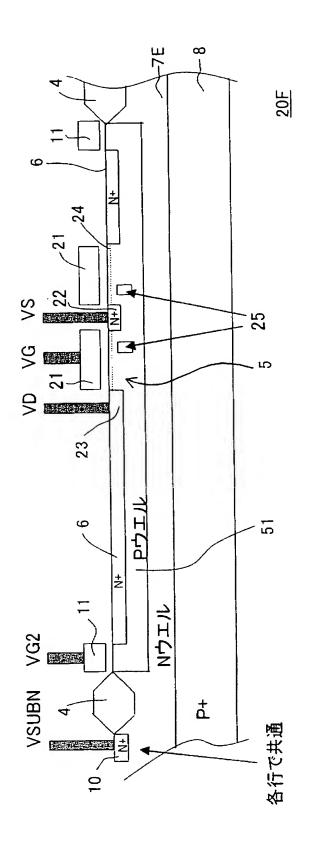
【図8】



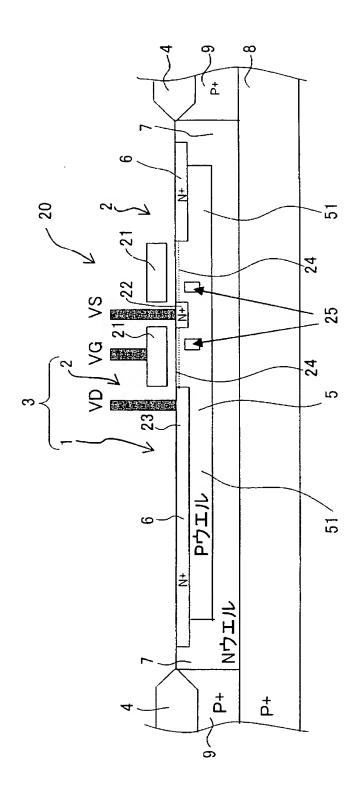
【図9】



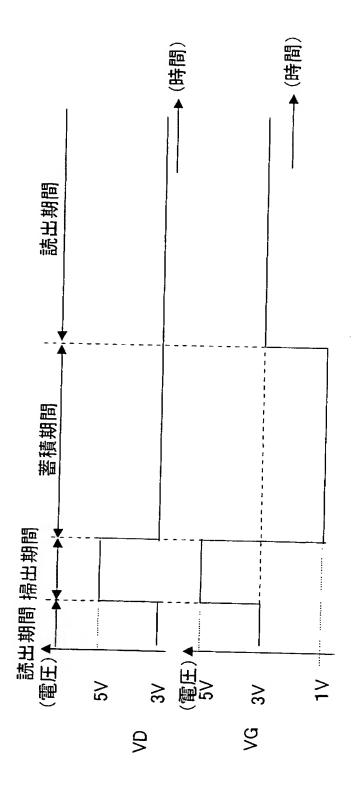
【図10】



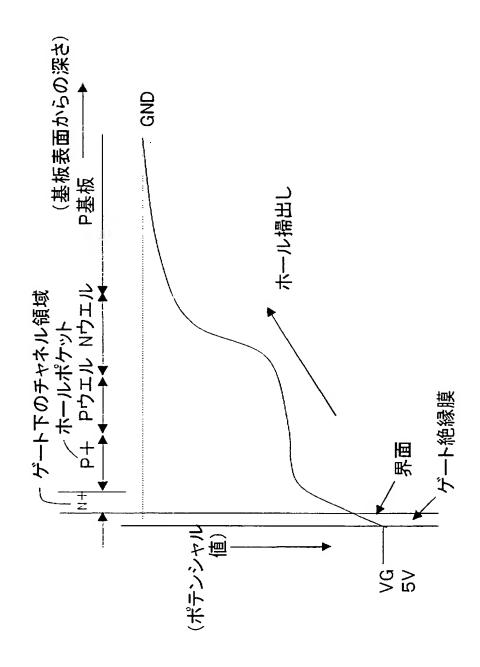
【図11】



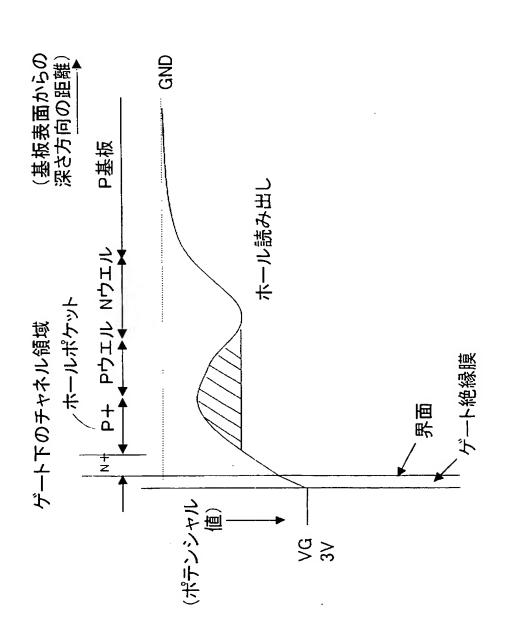
【図12】



【図13】



【図14】



### 【書類名】 要約書

### 【要約】

【課題】 掃き出し期間に高電圧を用いることなく、通常使用される動作電圧だけで信号電荷を基板に確実に排出させる。

【解決手段】 P型半導体基板 8 上の N型ウェル領域 7 内に P型ウェル領域 5 が設けられ、 P型ウェル領域 5 内に受光ダイオード 1 と光信号検出用MOSトランジスタ 2 とを有する単位画素 3 が複数配列されている。 N型ウェル領域 7 と、 N型不純物拡散領域 6 と一体的に構成されたドレイン領域 2 3 とは、 P型ウェル領域 5 によって分離されている。これによって、 掃き出し期間には N型ウェル領域 7 にドレイン領域 2 3 よりも低電位を印加でき、 読み出し期間には N型ウェル領域 7 にドレイン領域 2 3 よりも高電位を印加できる。

### 【選択図】 図1

## 認定・付加情報

特許出願の番号

特願2003-110236

受付番号

5 0 3 0 0 6 2 1 8 4 0

書類名

特許願

担当官

第五担当上席

0094

作成日

平成15年 4月16日

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005049

【住所又は居所】

大阪府大阪市阿倍野区長池町22番22号

【氏名又は名称】

シャープ株式会社

【代理人】

申請人

【識別番号】

100078282

【住所又は居所】

大阪市中央区城見1丁目2番27号 クリスタル

タワー15階

【氏名又は名称】

山本 秀策

【選任した代理人】

【識別番号】

100107489

【住所又は居所】

大阪市中央区城見一丁目2番27号 クリスタル

タワー15階 山本秀策特許事務所

【氏名又は名称】

大塩 竹志

【選任した代理人】

【識別番号】

100062409

【住所又は居所】

大阪府大阪市中央区城見1丁目2番27号 クリ

スタルタワー15階 山本秀策特許事務所

【氏名又は名称】

安村 高明

# 特願2003-110236

# 出願人履歴情報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社